

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-152855

(43)Date of publication of application : 10.06.1997

(51)Int.Cl. G09G 5/00
G09G 3/18
H04N 9/64

(21)Application number : 07-335767

(71)Applicant : SONY CORP

(22)Date of filing : 30.11.1995

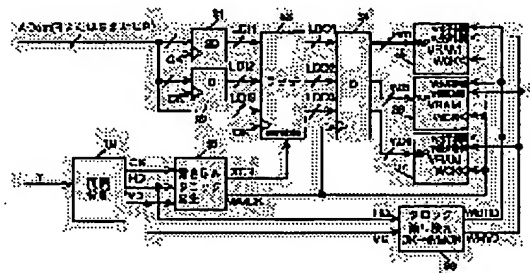
(72)Inventor : ARAI NAOHISA
TAKAHASHI TAKAO

(54) VIDEO SIGNAL TIME COMPRESSION DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To enable a high-speed writing/reading in/from a field memory and also to optimize the memory capacity by a time compression device to compress a video signal into one third.

SOLUTION: Samples of 910 pieces of video signals per one line are delayed by two clocks by a two-clock delay circuit 31 and by one clock (CK) by a one-clock delay circuit 32, when three successive samples are fetched in parallel into a latch 33. The samples are fetched into a one-clock delay circuit 34 at the timing of WMCK (writing clock), and are fetched into VRAMs 35-37 at the following WMCK. WMCK divides CK to 1/3 and is also formed so that the duty changes during a horizontal blanking period. Reading from VRAMs 35-37 is performed by a clock with a frequency three time as many as WMC.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JP0 and NCIP1 are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A storage means to memorize the video signal sampled on the predetermined frequency f_s . It has the write-in control means which performs write-in control of said storage means, and the read-out control means which performs read-out control of said storage means. It is equipment which carries out time amount compression of the video signal one third by increasing the read-out rate in said storage means 3 times of drawing speed. Said storage means They are M pieces (however, if M is three or more integers and the measurement size per line of said video signal is set to N) about the sample of the video signal inputted serially. 1st means set up so that N/M might not become an integer to form value [every] parallel, The partial storage means of M individual which memorizes the parallel output of this 1st means, respectively, and 2nd means to make serial the output of the partial storage means of this M individual are provided. said write-in control means It is what is controlled to write in simultaneously to said M partial storage means to the timing of a clock signal to carry out dividing of the f_s to $1/M$, and change in the level blanking period of said video signal. As for said read-out control means, a frequency carries out dividing of the $3f_s$ (es) to $1/M$. And the video-signal time amount compression equipment characterized by being what controlled to read from said M partial storage means simultaneously to the timing of a clock signal to change to one third in the level blanking period of the video signal by which time amount compression was carried out.

[Claim 2] R and G into which a video signal is inputted simultaneously, or B signal -- it is -- this -- the video-signal time amount compression equipment according to claim 1 which is what carries out time amount compression of each of R, G, and B signal according to an individual.

[Claim 3] R, G, and B simultaneous signal -- R, G, and a means to change into a signal one by one the Bth page -- this -- with R, G, and a monochrome image display means by which a signal is supplied one by one the Bth page The video-signal time amount compression equipment according to claim 2 which is what is used for the Junji Men color picture display equipped with the electrochromatic display shutter arranged in the front face of this monochrome image display means, and said R and G, and a means to synchronize with a signal one by one the Bth page, and to control ON/OFF of said electrochromatic display shutter.

[Translation done.]

*** NOTICES ***

JP0 and NCIP1 are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the technique which arranges an electrochromatic display shutter in the front face of a monochrome image display means like black and white CRT, and makes possible writing/read-out to the memory for time amount compression of a color video signal at a detail about the equipment which indicates the color picture by high resolution by making it synchronize with the Junji Men color video signal inputted into black and white CRT, and turning on/off controlling an electrochromatic display shutter, and optimizes the capacity. [a high speed]

[0002]

[Description of the Prior Art] An electrochromatic display shutter is arranged in the front face of black and white CRT, and the Junji Men color picture display which indicates the color picture by high resolution is proposed by making it synchronize with the Junji Men color video signal inputted into black and white CRT, and turning on/off controlling an electrochromatic display shutter (the Nikkei electronics, No. 592, pp74-October 11, 93 [75 or] issuance).

[0003] Drawing 12 is the block diagram showing an example of such an indicating equipment. As shown in this drawing, the conventional Junji Men color picture display The video-signal time amount compressed block 1 which changes into a $2 = 180\text{Hz}$ [of field frequency f_v] Junji Men color video signal the $1 = 60\text{Hz}$ [of field frequency f_v] color video signal of R, G, and B inputted simultaneously, Black and white CRT 2 to which the Junji Men color video signal outputted from the video-signal time amount compressed block 1 is supplied The electrochromatic display shutter 3 arranged in the front face of black and white CRT 2, and the deflection circuit 4 which performs the horizontal deflection and vertical deflection of black and white CRT 2 based on the deflection control signal outputted from the video-signal time amount compressed block 1, It has the liquid crystal shutter (LCS) drive circuit 5 which performs ON / off control of the electrochromatic display shutter 3 based on the LCS control signal supplied from the video-signal time amount compressed block 1.

[0004] Drawing 13 is drawing showing an example and actuation of the configuration of the electrochromatic display shutter in drawing 12 . As shown in drawing 11 (a), the electrochromatic display shutter is arranged in the front face of the screen of black and white CRT 2 of drawing 12 , and consists of the 1st polarizing plate 11, the 1st liquid crystal panel 12, the 2nd polarizing plate 13, the 2nd liquid crystal panel 14, and the 3rd polarizing plate 15.

[0005] The 1st polarizing plate 11 is a neutral polarizing plate, and makes R, G, and B which have plane of polarization horizontally penetrate. Moreover, the 2nd polarizing plate 13 is a color polarizing plate, and makes B which has plane of polarization horizontally, and a perpendicular direction penetrate R and G which have plane of polarization. Furthermore, the 3rd polarizing plate 15 is also a color polarizing plate, and makes R which has plane of polarization horizontally, and a perpendicular direction penetrate B and G which have plane of polarization. And the 1st and 2nd liquid crystal panel 12 and 14 is plane of polarization as it is (when an electrical potential difference is impressed) at the time of ON, when off, rotates plane of polarization 90 degrees, and makes incident light penetrate (when for the electrical potential difference not to be impressed).

[0006] Therefore, as shown in drawing 13 (b), color display can be performed by carrying out ON/OFF control of 14 synchronizing with the 1st and 2nd liquid crystal panel 12 and R in this electrochromatic display shutter, G, and B signal.

[0007] First, the time of the 1st liquid crystal panel 12 being ON, and the 2nd liquid crystal panel 14 being OFF is explained. Only the component for which the white light (R, G, B) emitted from black and white CRT 2 of drawing 12 has plane of polarization horizontally penetrates the 1st polarizing plate 11. And since the 1st liquid crystal panel 12 is ON, it is penetrated by plane of polarization as it is, and carries out incidence to the 2nd polarizing plate 13. Since the 2nd polarizing plate 13 makes only B penetrate, among R, G, and B which carried out incidence to the 2nd polarizing plate 13, only B penetrates this and it carries out incidence of the color which has plane of polarization horizontally to

the 2nd liquid crystal panel 14. Since the 2nd liquid crystal panel 14 is off, it is set to B which plane of polarization is rotated 90 degrees here, and has plane of polarization perpendicularly, and carries out incidence to the 3rd polarizing plate 15. Since the 3rd polarizing plate 15 makes B and G which have plane of polarization penetrate perpendicularly, the light which penetrates the 3rd polarizing plate 15 is set only to B.

[0008] The light which similarly penetrates the 3rd polarizing plate 15 when the 1st liquid crystal panel 12 is OFF and the 2nd liquid crystal panel 14 is ON is set to G, and when the 1st liquid crystal panel 12 and 2nd liquid crystal panel 14 are [both] OFF, it is set to R.

[0009] Next, actuation of the Junji Men color picture display shown in drawing 12 is explained. $1 = 60\text{Hz}$ [of field frequency f_v] R, G, and B signal are inputted into the video-signal time amount compressed block 1 at parallel. The video-signal time amount compressed block 1 carries out A/D conversion of R, G, and the B signal, writes them in an internal field memory (not shown), and performs time amount compression to one third by reading by one 3 times [at the time of writing] the rate of this. Moreover, it reads from this field memory as a Junji Men signal of R, G, and B. $2 = 180\text{Hz}$ [of field frequency f_v by which reading appearance was carried out] R, G, and the Bth page — one by one — a color video signal — an analog — it is-izing and outputted.

[0010] It is sent to ***** CRT2, the electrical and electric equipment / optical conversion is carried out, and R and G which were outputted from the video-signal ***** block 1, and B side sequential color video signal serve as the white light. The deflection control signal outputted from the video-signal ***** block 1 is sent to a deflection circuit 4. A deflection circuit 4 performs the horizontal deflection and vertical deflection of black and white CRT 2 based on this deflection control signal. Moreover, the liquid crystal shutter drive circuit 5 carries out ON/OFF control so that 14 [page / Bth] may become the liquid crystal panels 12 and R of two sheets shown in drawing 13, G, and a foreground color corresponding to the color of a color video signal one by one based on the LCS control signal supplied from the video-signal ***** block 1.

[0011]

[Problem(s) to be Solved by the Invention] In the Junji Men color picture display mentioned above, 3 times as many time amount compression as this is performed by writing a color video signal in a field memory, and reading by one 3 times the rate of this. When the clock frequency when making a color video signal into NTSC system, and writing it in is set as $4f_{sc}(s)$ (f_{sc} is a color subcarrier frequency), the clock frequency when reading serves as $12f_{sc}(s)$. The period of the read-out clock in this case will be set to about $23\text{ nS}(s)$, and will become quicker than about $35\text{ nS}(s)$ which are the upper limits of the read-out rate of current VRAM (Video Random Access Memory).

[0012] Then, it is possible by preparing two or more field memories in parallel to reduce the writing / read-out rate to a field memory. Controlling becomes difficult, when it cannot be businesslike, although it is easy in control, in order for what is necessary to be just to set the clock frequency of writing/read-out to $1/M$ when measurement size N per line of a color video signal can divide among the number M of a field memory at this time.

[0013] For example, when NTSC system and a system common to VGA (Video Graphics Array) are considered, since read-out by $24f_{sc}(s)$ is required, in VGA, it is necessary to prepare 3 sets of field memories. in this case — if 910 which is the measurement size per line of the color video signal of NTSC system is divided by 3 — 303.333 — it becomes ... and cannot be businesslike. Although what is necessary is just to change the measurement size per line, or the number of a field memory in order to enable it to be businesslike, it is difficult to change, since the measurement size per line was decided by the system in many cases. Moreover, since the number will be increased when changing the number of a field memory, it becomes a cost rise.

[0014] This invention is made in view of such a trouble, and in the video-signal time amount compressed block in the Junji Men color picture indicating equipment constituted as mentioned above, it aims at optimizing the memory space while it makes possible writing/read-out of a high speed to a field memory.

[0015]

[Means for Solving the Problem] In order to solve said trouble, the video-signal time amount compression equipment concerning this invention A storage means to memorize the video signal sampled on the predetermined frequency f_s , It has the write-in control means which performs write-in control of a storage means, and the read-out control means which performs read-out control of a storage means. It is equipment which carries out time amount compression of the video signal one third by increasing the read-out rate in a storage means 3 times of drawing speed. A storage means They are M pieces (however, if M is three or more integers and the measurement size per line of said video signal is set to N) about the sample of the video signal inputted serially. 1st means set up so that N/M might not become an integer to form value [every] parallel, The partial storage means of M individual which memorizes the parallel output of the 1st means, respectively, and 2nd means to make serial the output of the partial storage means of M individual are provided. a write-in control means It is what is controlled to write in simultaneously to M partial storage means to the timing of a clock signal to carry out dividing of the f_s to $1/M$, and change in the level blanking period of a video signal. A frequency carries out dividing of the $3f_s$ (es) to $1/M$, and a read-out control means is characterized by being what is controlled to read from M partial storage means simultaneously to one third to the timing of a clock signal to change in the level blanking period of the video signal by which time amount compression was carried out.

[0016] In this invention, time amount compression of R, G, and the B signal is simultaneously carried out by forming 3 sets of video-signal time amount compression equipments, and inputting R, G, or B signal into each simultaneously. And R, G, after changing the Bth page into a signal one by one, while supplying this R [by which time amount compression is carried out], G, and B simultaneous signal to monochrome image display means, a field sequential color picture is displayed for the electrochromatic display shutter arranged in the front face of this monochrome image display means R, G, and by synchronizing the Bth page with a signal one by one, and controlling ON/OFF.

[0017]

[Embodiment of the Invention] It explains to a detail, referring to a drawing about the gestalt of operation of this invention below. The configuration of the video-signal time amount compressed block which applied this invention to drawing 1 is shown. This video-signal time amount compressed block is used for a Junji Men color picture display as shown in drawing 12 .

[0018] As shown in this drawing, the video-signal time amount compressed block 1 The RGB decoder 11 which changes the component color video signal of brightness / color difference separation inputted into R of parallel, G, and B signal, A/D converters 12, 13, and 14 which change into a 8-bit digital signal each signal of R, G, and B which were decoded, VRAMs 15, 16, and 17 which store the output of A/D converters 12, 13, and 14, It has the switch SW1 which chooses and forms the output of VRAMs 15, 16, and 17 into Junji Men, and D/A converter 18 which carries out analogue conversion of the color video signal formed into Junji Men by the switch SW1.

[0019] While the video-signal time amount compressed block..1. separates a Horizontal Synchronizing signal (HD) and a Vertical Synchronizing signal (VD) from the component color video signal inputted further The synchronizing separator circuit 19 which generates the sampling clock (CK) of a frequency f_s , The VRAM write-in control circuit 20 which generates the write-in control signal of VRAMs 15-17, The read-out control circuit 21 which generates the read-out control signal and read-out clock of VRAMs 15-17, One 3 times the frequency of a Horizontal Synchronizing signal (HD) A Vertical Synchronizing signal 3 times the frequency of a Horizontal Synchronizing signal (THD) and a Vertical Synchronizing signal (VD) (TVD), It has x3SYNC and the display-control signal generating circuit 22 which generate the sampling clock (TCK), deflection control signal, and LCS control signal of frequency $3f_s$. In addition, a synchronizing separator circuit 19 may be constituted so that synchronizing separation may be performed from G signal.

[0020] The Horizontal Synchronizing signal (HD) and Vertical Synchronizing signal (VD) which were outputted from the synchronizing separator circuit 19 are used as a timing-control signal of the VRAM write-in control circuit 20, x3SYNC, and the display-control signal generating circuit 22. And the

sampling clock (CK) of a frequency f_s is used as the sampling clock of A/D converters 12, 13, and 14, and a write-in clock of VRAMs 15, 16, and 17.

[0021] The Vertical Synchronizing signal (TVD) which x3SYNC and the display-control signal generating circuit 22 generated, a Horizontal Synchronizing signal (THD), and a sampling clock (TCK) are sent to the VRAM read-out control circuit 21. Moreover, TVD is used as a switch control signal of a switch SW1, and TCK is used also as a timing-control signal of D/A converter 18.

[0022] Among VRAMs 15, 16, and 17, VRAMs 15 and 17 have given the capacity of the 1 field, and in order to make it, as for VRAM16, read-out not pass writing within memory, they have given the capacity of the 4/3 field.

[0023] Drawing 2 is drawing showing the memory control action of VRAMs 15, 16, and 17. In this drawing, an axis of abscissa shows time amount, an axis of ordinate is the capacity of each VRAM, and V shows the field.

[0024] As shown in this drawing, the writing to VRAMs 15, 16, and 17 is performed to R, G, and B coincidence, and read-out is performed in order of R, G, and B. If it explains in more detail, G will write in, read-out will be started by termination and coincidence, and reading appearance of the R will be carried out earlier [of an input signal / 1 / earlier / 3 field (1 field of = output signal)] than G. And as for B, reading appearance of the input signal is late carried out the 3 field 1/rather than G. For this reason, if capacity of VRAM16 which stores B is made into the 1 same field as other VRAMs 15 and 17, since the writing of the next field will pass read-out, capacity was made to increase up to the 4/3 field, and passing has been avoided.

[0025] Drawing 3 is the block diagram showing an example of the concrete configuration of VRAMs 15-17 in drawing 1, and the VRAM write-in control circuit 20. In this drawing, only one line of R of drawing 1, G, or B is shown except synchronizing separator circuit 19. Therefore, a capacity required for each of VRAMs 35-37 when VRAMs 35-37 are VRAM15 or 17 is the 1/3 field, and when VRAMs 35-37 are VRAMs16, a capacity required for each of VRAMs 35-37 is the 4/9 field.

[0026] The circuit of drawing 3 is equipped with the latch circuit 33 which incorporates the delay circuit 31 of two sampling clocks (CK), the delay circuit 32 of one sampling clock (CK), and the input sample LDI3 and the output samples LDI1 and LDI2 of these two delay circuits 31 and 32 to parallel, the delay circuit 34 which carries out one sampling clock (CK) delay of the parallel outputs LDO1, LDO2, and LDO3 of a latch circuit 33, and VRAMs 35-37. This is equivalent to VRAM of the piece in drawing 1.

[0027] The Vertical Synchronizing signal (VD), Horizontal Synchronizing signal (HD), and sampling clock (CK) which were outputted from the synchronizing separator circuit 19 are further used for the circuit of drawing 3. The write-in clock generation circuit 38 which generates the enable signal (XEN) which makes possible the data incorporation by the latch circuit 33, and the write-in clock (WMCK) which is the reversal output of that, A Horizontal Synchronizing signal (HD) and a Vertical Synchronizing signal (VD) It has the clock change circuit 39 which generates the signal (WMVD) which resets the write-in address of the signal (WMHD) and perpendicularly which it uses and reset the horizontal write-in address in VRAMs 35-37. This is equivalent to the VRAM write-in control circuit 20 in drawing 1.

[0028] An example of the concrete configuration of the write-in clock generation circuit 38 is shown in drawing 4. This circuit consists of two bit counters 41, the AND gate 42, the AND gate 43, the exclusive OR (following EX-OR) gate 44, and an inverter 45.

[0029] The output of the AND gate 42 is reversed by two bit counters 41, and it is inputted into them. The output and Horizontal Synchronizing signal (HD) of the AND gate 43 are reversed and inputted into the AND gate 42. Lower bit QA of two bit counters 41 is reversed and inputted into the AND gate 43, and a high order bit QB is inputted as it is.

[0030] The AND gate 43 outputs a high-level signal, when the counter value of two bit counters 41 is 2. Moreover, the EX-OR gate 44 outputs a high-level signal, when counter values are 1 and 2. The EX-OR gate 44 serves as XEN and the output of an inverter 45 serves as WMCK. Therefore, although WMCK carries out dividing of CK to one third, since CK is the frequency which samples 910 data per line, 910 cannot be divisible [with the gestalt of this operation] by 3. Then, to one line, once, in a level blanking

period, a Horizontal Synchronizing signal (HD) resets two bit counters 41, when high-level, and the duty of XEN and WMCK is changed.

[0031] Drawing 5 is a timing chart which shows actuation of the circuit of drawing 3. Actuation of the circuit of drawing 3 is explained referring to this drawing below.

[0032] The sample LD 13 of R outputted from the A/D converter, G, or B is inputted into the two sampling clock (CK) delay circuit 31 and the one sampling clock (CK) delay circuit 32. The output LD 11 of the two sampling clock (CK) delay circuit 31 and the output LD 12 of 1 clock delay circuit 32 are incorporated by parallel to latch 33 with the sample LD 13 outputted from the A/D converter, when XEN is a low level. And it is incorporated by parallel to the timing of WMCK in 1 clock delay circuit 34. LDO1-LDO3 which were incorporated in 1 clock delay circuit 34 are incorporated by VRAMs 35-37 by the next WMCK at parallel.

[0033] At this time, in the timing reset by the Horizontal Synchronizing signal (HD), write-in data are missing and data become discontinuous. In drawing 5, the 909th data are missing. However, since this missing data is the thing of a level blanking period, it is uninfluential in the image displayed. The reset timing by HD shifts back by one CK, and drawing 6 shows signs that the 0th data are missing. Thus, even if there is lack of data, he is trying for lack not to appear in the image displayed by changing the duty of XEN and WMCK so that it may become a level blanking period, and controlling so that data continue in the effective scan part of one line.

[0034] Drawing 7 is the block diagram showing an example of the concrete configuration of a part of x3SYNC and display-control signal generating circuit 22 in VRAMs 15-17 in drawing 1, the VRAM read-out control circuit 21, and a list. Here, since VRAM was a part about read-out in VRAM of drawing 3, it attached the same number.

[0035] The circuit of drawing 7 is equipped with the 1st selector 56 which chooses the output of VRAM35, or the output of VRAM36, and the 2nd selector 57 which chooses the output of the 1st selector 56, or the output of VRAM37. These are equivalent to VRAM15 of drawing 1, 16, or 17.

[0036] the circuit of drawing 7 — moreover, a Vertical Synchronizing signal (VD) — one 3 times the frequency of this — **** — the **** double circuit 51 which doubles and creates a Vertical Synchronizing signal (TVD), and a Horizontal Synchronizing signal (HD) — one 3 times the frequency of this — **** — the **** double circuit 52 which doubles and creates a Horizontal Synchronizing signal (THD), and this Horizontal Synchronizing signal (THD) — one 910 times the frequency of this — **** — it has the **** double circuit 53 which doubles and creates a clock (TCK). These **** double circuits are a part of x3SYNC of drawing 1, and display-control signal generating circuit 22.

[0037] A Vertical Synchronizing signal (TVD), a Horizontal Synchronizing signal (THD), and a clock (TCK) are further used for the circuit of drawing 7. The data read-out clock of VRAMs 35-37 (RMCK), The read-out clock generation circuit 54 which generates the control signal (SEL1, SEL2) which controls the 1st selector 56 and 2nd selector 57, A Horizontal Synchronizing signal (THD) and a Vertical Synchronizing signal (TVD) It has the clock change circuit 55 which generates the signal (RMVD) which resets the read-out address of the signal (RMHD) and perpendicularly which it uses and reset the horizontal read-out address in VRAMs 35-37. This is equivalent to the VRAM read-out control circuit 21 in drawing 1.

[0038] An example of the concrete configuration of the read-out clock generation circuit 54 is shown in drawing 8. This circuit consists of two bit counters 61, the AND gate 62, the AND gate 63, and the AND gate 64 like drawing 4.

[0039] The output of the AND gate 62 is reversed by two bit counters 61, and it is inputted into them. The output and Horizontal Synchronizing signal (THD) of the AND gate 63 are reversed and inputted into the AND gate 62. Lower bit QA of two bit counters 41 is reversed and inputted into the AND gate 63, and a high order bit QB is inputted as it is.

[0040] Also in this read-out clock generation circuit, to one line, once, in a level blanking period, when a Horizontal Synchronizing signal (THD) is high-level, two bit counters 61 are reset, and SEL1, SEL2, and the duty of RMCK are changed.

[0041] Drawing 9 is a timing chart which shows actuation of the circuit of drawing 7 . In addition, this drawing is related with read-out of the data written in to the timing shown in drawing 5 . Actuation of the circuit of drawing 7 is explained referring to this drawing below.

[0042] The data stored in VRAMs 35-37 are outputted to parallel to the timing of the standup of RMCK. RD1 which is the output of VRAM35 is sent to the 1st selector 56, and when SEL1 which is the output of the read-out clock generation circuit 54 is a low level, it is chosen. Moreover, RD2 which is the output of VRAM36 is inputted into the 1st selector 56, and when SEL1 which is the output of the read-out clock generation circuit 54 is high-level, it is chosen.

[0043] The output of the 1st selector 56 is inputted into the 2nd selector 57, and when SEL2 which is the output of the read-out clock generation circuit 54 is a low level, it is chosen. Moreover, RD3 which is the output of VRAM37 is inputted into the 2nd selector 57, and when SEL2 which is the output of the read-out clock generation circuit 54 is high-level, it is chosen. Consequently, the data outputted from the 2nd selector 57 become what was indicated to be DAin to drawing 9 .

[0044] At this time, the output data of the 2nd selector 57 become discontinuous in the timing reset by the Horizontal Synchronizing signal (THD). In drawing 9 , the 903,906,907,908th data are outputted to the location which should serve as the 906,907,908,909th data essentially. However, since this part is a level blanking period, it is uninfluential in the image displayed. Drawing 10 is a timing chart at the time of reading the data written in to the timing shown in drawing 6 to the same timing as drawing 9 . In this case, a location will shift and the data whose number is four will become drawing 9 with NG. Thus, the array of the data outputted by the difference of reset timing from the 2nd selector 57 changes. However, he is trying for neither lack nor discontinuity to appear in the image displayed by setting up reset timing so that it may become a level blanking period, and controlling so that data continue in the effective scan part of one line.

[0045] Horizontal writing/read-out were explained above. Next, writing/read-out of a perpendicular direction are explained, referring to drawing 11 . Here, (a) writes in and is a timing chart at the time, and (b) reads and is a timing chart at the time.

[0046] WMHD and WMVD in drawing 11 (a) are generated by the clock change circuit 39 of drawing 3 , and are inputted into VRAMs 35-37. Similarly, XWE is also generated by the clock change circuit 39 and is inputted into VRAMs 35-37. And WMHD resets the horizontal write-in address of VRAMs 35-37 (drawing 5 , drawing 6). Moreover, WMVD resets the write-in address of the perpendicular direction of VRAMs 35-37. And XWE is controlled to write 240 lines which is an effective line of an image in VRAMs 35-37.

[0047] The same is said of a read-out side, and RMHD and RMVD in drawing 11 (b) are generated by the clock change circuit 55 of drawing 7 , and are inputted into VRAMs 35-37. Moreover, XOE is also generated by the clock change circuit 55 and is inputted into VRAMs 35-37. And RMHD resets the horizontal read-out address of VRAMs 35-37 (drawing 9 , drawing 10). Furthermore, RMVD resets the read-out address of the perpendicular direction of VRAMs 35-37. Moreover, XOE is controlled to read 240 lines which is an effective line of an image from VRAMs 35-37.

[0048]

[Effect of the Invention] As explained to the detail above, according to this invention, writing/read-out of a high speed can be performed to the storage means for carrying out time amount compression of the video signal. Moreover, since the capacity of a storage means can be optimized even if it is the case where the measurement size of the video signal per line cannot divide among the number of a partial storage means, cost can be reduced.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the configuration of the video-signal time amount compression equipment which applied this invention.

[Drawing 2] It is drawing showing the memory control action of VRAM in drawing 1 .

[Drawing 3] It is the block diagram showing an example of the concrete configuration of VRAM in drawing 1 , and a VRAM write-in control circuit.

[Drawing 4] It is the circuit diagram showing an example of the concrete configuration of the write-in clock generation circuit in drawing 3 .

[Drawing 5] It is the timing chart which shows actuation of the circuit of drawing 3 .

[Drawing 6] It is the timing chart which shows actuation of the circuit of drawing 3 in case reset timing differs.

[Drawing 7] It is the block diagram showing an example of the concrete configuration of a part of x3SYNC and display-control signal generating circuit in VRAM in drawing 1 , a VRAM read-out control circuit, and a list.

[Drawing 8] It is the circuit diagram showing an example of the concrete configuration of the read-out clock generation circuit in drawing 7 .

[Drawing 9] It is the timing chart which shows actuation of the circuit of drawing 7 .

[Drawing 10] It is the timing chart which shows actuation of the circuit of drawing 7 in case reset timing differs.

[Drawing 11] It is the timing chart which shows vertical writing / read-out actuation.

[Drawing 12] It is the block diagram showing the configuration of the conventional Junji Men color picture indicating equipment.

[Drawing 13] It is drawing showing an example and actuation of the configuration of the electrochromatic display shutter in drawing 12 .

[Description of Notations]

1 [— A liquid crystal shutter drive circuit, 15-17, 35-37 / — VRAM, 20 / — A VRAM write-in control circuit, 21 / — A VRAM read-out control circuit, 22 / — x3SYNC and display-control signal generating circuit] — A video-signal time amount compressed block, 2 — Black and white CRT, 3 — An electrochromatic display shutter, 5

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-152855

(43) 公開日 平成9年(1997)6月10日

| (51) Int.Cl. ⁶ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|---------------------------|-------|---------|--------------|---------|
| G 0 9 G 5/00 | 5 5 5 | 9377-5H | G 0 9 G 5/00 | 5 5 5 R |
| 3/18 | | | 3/18 | |
| H 0 4 N 9/64 | | | H 0 4 N 9/64 | F |

審査請求 未請求 請求項の数3 FD (全13頁)

(21) 出願番号 特願平7-335767

(22) 出願日 平成7年(1995)11月30日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 荒井 尚久

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 高橋 孝夫

東京都品川区北品川6丁目7番35号 ソニー株式会社内

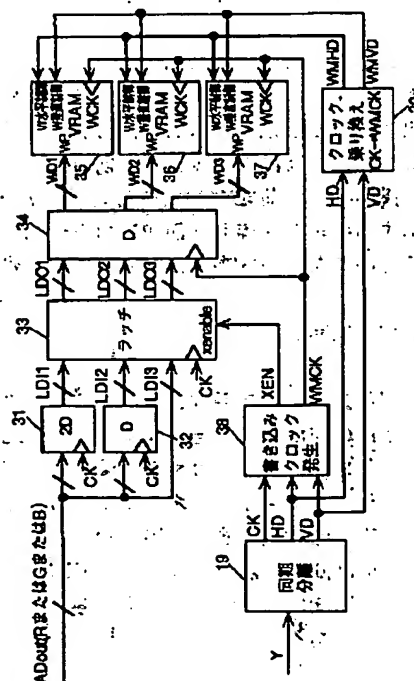
(74) 代理人 弁理士 杉山 猛

(54) 【発明の名称】 映像信号時間圧縮装置

(57) 【要約】

【課題】 映像信号を1/3に時間圧縮する装置において、フィールドメモリに対して高速の書き込み/読み出しを可能にすると共にそのメモリ容量を最適化する。

【解決手段】 1ライン当たり91.0個の映像信号のサンプルは、2クロック遅延回路31により2クロック分、1クロック遅延回路32により1クロック(CK)分遅延され、連続する3サンプルが平行にラッチ33へ取り込まれる。そして、WMCKのタイミングで1クロック遅延回路34に取り込まれ、次のWMCKによりVRAM35~37に取り込まれる。WMCKはCKを1/3に分周し、かつ水平ブランキング期間においてデューティが変化するよう形成されている。VRAM35~37からの読み出しは、WMCKの3倍の周波数のクロックにより行う。



【特許請求の範囲】

【請求項1】 所定の周波数 f_s でサンプリングされた映像信号を記憶する記憶手段と、前記記憶手段の書き込み制御を行う書き込み制御手段と、前記記憶手段の読み出し制御を行う読み出し制御手段とを備え、前記記憶手段における読み出し速度を書き込み速度の3倍にすることにより映像信号を1/3に時間圧縮する装置であって、

前記記憶手段は、シリアルに入力される映像信号のサンプルをM個（ただし、Mは3以上の整数であって、かつ前記映像信号の1ライン当りのサンプル数をNとすると、 N/M が整数にならないように設定した値）ずつパラレル化する第1の手段と、該第1の手段のパラレル出力をそれぞれ記憶するM個の部分記憶手段と、該M個の部分記憶手段の出力をシリアル化する第2の手段とを具備し、

前記書き込み制御手段は、 f_s を1/Mに分周し、かつ前記映像信号の水平ブランキング期間でデューティが変化するクロック信号のタイミングで前記M個の部分記憶手段へ同時に書き込みを行うように制御するものであり、

前記読み出し制御手段は、周波数が3 f_s を1/Mに分周し、かつ1/3に時間圧縮された映像信号の水平ブランキング期間でデューティが変化するクロック信号のタイミングで前記M個の部分記憶手段から同時に読み出しを行うように制御するものであることを特徴とする映像信号時間圧縮装置。

【請求項2】 映像信号は同時に入力されるR、G、又はB信号であり、該R、G、B信号の各々を個別に時間圧縮するものである請求項1に記載の映像信号時間圧縮装置。

【請求項3】 R、G、B同時信号をR、G、B面順次信号に変換する手段と、該R、G、B面順次信号が供給される白黒画像表示手段と、該白黒画像表示手段の前面に配置されたカラー液晶シャッタと、前記R、G、B面順次信号に同期させて前記カラー液晶シャッタのオン/オフを制御する手段とを備えた面順次カラー画像表示装置に用いるものである請求項2に記載の映像信号時間圧縮装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、白黒CRTのような白黒画像表示手段の前面にカラー液晶シャッタを配置し、白黒CRTへ入力する面順次カラー映像信号に同期させてカラー液晶シャッタをオン/オフ制御することによりカラー画像を高解像度表示する装置に関し、詳細にはカラー映像信号の時間圧縮用メモリに対して高速の書き込み/読み出しを可能にし、かつその容量を最適化する技術に関するものである。

【0002】

【従来の技術】 白黒CRTの前面にカラー液晶シャッタを配置し、白黒CRTへ入力する面順次カラー映像信号に同期させてカラー液晶シャッタをオン/オフ制御することによりカラー画像を高解像度表示する面順次カラー画像表示装置が提案されている（日経エレクトロニクス、第592号、pp74-75、93年10月11日発行）。

【0003】 図12はこのような表示装置の一例を示すブロック図である。この図に示すように、従来の面順次カラー画像表示装置は、同時に入力されるフィールド周波数 $f_v1 = 60\text{Hz}$ のR、G、Bのカラー映像信号をフィールド周波数 $f_v2 = 180\text{Hz}$ の面順次カラー映像信号に変換する映像信号時間圧縮ブロック1と、映像信号時間圧縮ブロック1から出力される面順次カラー映像信号が供給される白黒CRT2と、白黒CRT2の前面に配置されたカラー液晶シャッタ3と、映像信号時間圧縮ブロック1から出力される偏向制御信号を基に白黒CRT2の水平偏向及び垂直偏向を行なう偏向回路4と、映像信号時間圧縮ブロック1から供給されるLCS制御信号を基にカラー液晶シャッタ3のオン/オフ制御を行なう液晶シャッタ（LCS）ドライブ回路5を備えている。

【0004】 図13は図12におけるカラー液晶シャッタの構成の一例とその動作を示す図である。図11

(a) に示すように、カラー液晶シャッタは、図12の白黒CRT2の画面の前面に配置されており、第1の偏光板11と、第1の液晶パネル12と、第2の偏光板13と、第2の液晶パネル14と、第3の偏光板15とから構成されている。

【0005】 第1の偏光板11はニュートラル偏光板であり、水平方向に偏光面を有するR、G、Bを透過させる。また、第2の偏光板13はカラー偏光板であり、水平方向に偏光面を有するBと垂直方向に偏光面を有するR及びGを透過させる。さらに、第3の偏光板15もカラー偏光板であり、水平方向に偏光面を有するRと垂直方向に偏光面を有するB及びGを透過させる。そして、第1、第2の液晶パネル12、14は、オンの時（電圧が印加された時）にはそのままの偏光面で、オフの時（電圧が印加されていない時）には偏光面を90度回転させて入射光を透過させる。

【0006】 したがって、図13（b）に示すように、このカラー液晶シャッタにおける第1、第2の液晶パネル12、14をR、G、B信号に同期してオン/オフ制御することにより、カラー表示を行うことができる。

【0007】 まず、第1の液晶パネル12がオン、第2の液晶パネル14がオフの時について説明する。図12の白黒CRT2から放射された白色光（R、G、B）は、水平方向に偏光面を有する成分のみが第1の偏光板11を透過する。そして、第1の液晶パネル12はオンなので、そのままの偏光面で透過し、第2の偏光板13

へ入射する。第2の偏光板13は水平方向に偏光面を有する色はBのみ透過させるので、第2の偏光板13へ入射したR、G、Bの内、Bのみがここを透過し、第2の液晶パネル14へ入射する。第2の液晶パネル14はオフであるから、ここで偏光面を90度回転させられて垂直方向に偏光面を有するBとなり、第3の偏光板15へ入射する。第3の偏光板15は垂直方向に偏光面を有するBとGを透過させるので、第3の偏光板15を透過する光はBのみとなる。

【0008】同様に、第1の液晶パネル12がオフ、第2の液晶パネル14がオンの時は、第3の偏光板15を透過する光はGとなり、第1の液晶パネル12と第2の液晶パネル14が共にオフの時は、Rとなる。

【0009】次に図12に示した面順次カラー画像表示装置の動作を説明する。フィールド周波数 $f_v1=60\text{Hz}$ のR、G、B信号は映像信号時間圧縮ブロック1に平行に入力される。映像信号時間圧縮ブロック1は、R、G、B信号をA/D変換して内部のフィールドメモリ(図示せず)に書き込み、書き込み時の3倍の速度で読み出すことにより1/3に時間圧縮を行う。また、R、G、Bの面順次信号としてこのフィールドメモリから読み出す。読み出されたフィールド周波数 $f_v2=180\text{Hz}$ のR、G、B面順次カラー映像信号はアナログ化されて出力される。

【0010】映像信号時間圧縮ブロック1から出力されたR、G、B面順次カラー映像信号は白黒CRT2へ送られ、電気/光変換され白色光となる。映像信号時間圧縮ブロック1から出力された偏向制御信号は偏向回路4へ送られる。偏向回路4はこの偏向制御信号を基に白黒CRT2の水平偏向及び垂直偏向を行なう。また、液晶シャッタドライブ回路5は映像信号時間圧縮ブロック1から供給されるLCS制御信号を基に、図13に示した2枚の液晶パネル12、14がR、G、B面順次カラー映像信号の色に対応した表示色になるようにオン/オフ制御する。

【0011】

【発明が解決しようとする課題】前述した面順次カラー画像表示装置において、カラー映像信号をフィールドメモリに書き込み、3倍の速度で読み出すことにより、3倍の時間圧縮を行っている。カラー映像信号をNTSC方式とし、書き込むときのクロック周波数を $4f_{sc}$ (f_{sc} はカラーサブキャリア周波数)に設定した場合には、読み出すときのクロック周波数は $12f_{sc}$ となる。この場合の読み出しクロックの周期は約 23ns となり、現在のVRAM(Video Random Access Memory)の読み出し速度の上限である約 35ns より速くなってしまう。

【0012】そこで、フィールドメモリを複数個平行に設けることにより、フィールドメモリに対する書き込み/読み出し速度を低下させることが考えられる。こ

のとき、カラー映像信号の1ライン当りのサンプル数Nがフィールドメモリの個数Mで割り切れる場合には、書き込み/読み出しのクロック周波数を $1/M$ にすればよい。ため制御が容易であるが、割り切れない場合には制御が困難となる。

【0013】例えば、NTSC方式とVGA(Video Graphics Array)に共通のシステムを考えた場合には、VGAでは $24f_{sc}$ での読み出しが必要であるため、フィールドメモリを3組設けることが必要となる。この場合、NTSC方式のカラー映像信号の1ライン当りのサンプル数である910を3で割ると、303.333...となり割り切れない。割り切れるようにするためには、1ライン当りのサンプル数又はフィールドメモリの個数を変えればよいが、1ライン当りのサンプル数はシステムで決まっている場合が多いため変えることは困難である。また、フィールドメモリの個数を変える場合には、個数を増やすことになるので、コストアップとなる。

【0014】本発明は、このような問題点に鑑みてなされたものであって、前述したように構成された面順次カラー画像表示装置における映像信号時間圧縮ブロックにおいて、フィールドメモリに対して高速の書き込み/読み出しを可能にすると共にそのメモリ容量を最適化することを目的とする。

【0015】

【課題を解決するための手段】前記問題点を解決するために、本発明に係る映像信号時間圧縮装置は、所定の周波数 f_s でサンプリングされた映像信号を記憶する記憶手段と、記憶手段の書き込み制御を行う書き込み制御手段と、記憶手段の読み出し制御を行う読み出し制御手段とを備え、記憶手段における読み出し速度を書き込み速度の3倍にすることにより映像信号を1/3に時間圧縮する装置であって、記憶手段は、シリアルに入力される映像信号のサンプルをM個(ただし、Mは3以上の整数であって、かつ前記映像信号の1ライン当りのサンプル数をNとすると、 N/M が整数にならないように設定した値)ずつ平行化する第1の手段と、第1の手段の平行化出力をそれぞれ記憶するM個の部分記憶手段と、M個の部分記憶手段の出力をシリアル化する第2の手段とを具備し、書き込み制御手段は、 f_s を $1/M$ に分周し、かつ映像信号の水平ブランキング期間でデューティが変化するクロック信号のタイミングでM個の部分記憶手段へ同時に書き込みを行うように制御するものであり、読み出し制御手段は、周波数が $3f_s$ を $1/M$ に分周し、かつ1/3に時間圧縮された映像信号の水平ブランキング期間でデューティが変化するクロック信号のタイミングでM個の部分記憶手段から同時に読み出しを行うように制御するものであることを特徴とする。

【0016】本発明において、映像信号時間圧縮装置を3組設け、それぞれにR、G、又はB信号を同時に入力

することにより、R、G、及びB信号を同時に時間圧縮する。そして、この時間圧縮されるR、G、B同時信号をR、G、B面順次信号に変換した後、白黒画像表示手段へ供給すると共に、この白黒画像表示手段の前面に配置されたカラー液晶シャッタをR、G、B面順次信号に同期させてオン/オフを制御することにより、面順次カラー画像を表示する。

【0017】

【発明の実施の形態】以下本発明の実施の形態について図面を参照しながら詳細に説明する。図1に本発明を適用した映像信号時間圧縮ブロックの構成を示す。この映像信号時間圧縮ブロックは、図12に示したような面順次カラー画像表示装置に使用するものである。

【0018】この図に示すように、映像信号時間圧縮ブロック1は、入力される輝度/色差分離のコンポーネントカラー映像信号をパラレルのR、G、B信号に変換するRGBデコーダ11と、デコードされたR、G、Bの各信号を8ビットのデジタル信号に変換するA/Dコンバータ12、13、14と、A/Dコンバータ12、13、14の出力を格納するVRAM15、16、17と、VRAM15、16、17の出力を選択して面順次化するスイッチSW1と、スイッチSW1により面順次化されたカラー映像信号をアナログ変換するD/Aコンバータ18とを備えている。

【0019】映像信号時間圧縮ブロック1は、さらに、入力されるコンポーネントカラー映像信号から水平同期信号(HD)と垂直同期信号(VD)を分離すると共に、周波数 f_s のサンプリングクロック(CK)を生成する同期分離回路19と、VRAM15~17の書き込み制御信号を生成するVRAM書き込み制御回路20と、VRAM15~17の読み出し制御信号及び読み出しクロックを生成する読み出し制御回路21と、水平同期信号(HD)の3倍の周波数を水平同期信号(THD)、垂直同期信号(VD)の3倍の周波数の垂直同期信号(TVD)、周波数 $3f_s$ のサンプリングクロック(TCK)、偏向制御信号及びLCS制御信号を生成する $\times 3$ SYNC及び表示制御信号発生回路22とを備えている。なお、同期分離回路19はG信号から同期分離を行うように構成してもよい。

【0020】同期分離回路19から出力された水平同期信号(HD)と垂直同期信号(VD)は、VRAM書き込み制御回路20と $\times 3$ SYNC及び表示制御信号発生回路22のタイミング制御信号として用いられる。そして、周波数 f_s のサンプリングクロック(CK)はA/Dコンバータ12、13、14のサンプリングクロックとして、また、VRAM15、16、17の書き込みクロックとして用いられる。

【0021】 $\times 3$ SYNC及び表示制御信号発生回路22が生成した垂直同期信号(TVD)、水平同期信号(THD)、及びサンプリングクロック(TCK)はV

RAM読み出し制御回路21へ送られる。また、TVDはスイッチSW1の切り換え制御信号として、TCKはD/Aコンバータ18のタイミング制御信号としても用いられる。

【0022】VRAM15、16、17の内、VRAM15、17は1フィールドの容量を持たせてあり、VRAM16は、メモリ内で読み出しが書き込みを追い越さないようにするために4/3フィールドの容量を持たせてある。

【0023】図2はVRAM15、16、17のメモリ制御動作を示す図である。この図において、横軸は時間を示し、縦軸は各VRAMの容量であってVはフィールドを示す。

【0024】この図に示すように、VRAM15、16、17への書き込みはR、G、B同時に行なわれ、読み出しはR、G、Bの順に行なわれる。より詳しく説明すると、Gは書き込み終了と同時に読み出しが開始され、RはGよりも入力信号の1/3フィールド(=出力信号の1フィールド)早く読み出される。そして、BはGよりも入力信号の1/3フィールド遅く読み出される。このため、Bを格納するVRAM16の容量を他のVRAM15、17と同じ1フィールドにすると、読み出しを次のフィールドの書き込みが追い越してしまうので、容量を4/3フィールドまで増加させ、追い越しを回避している。

【0025】図3は図1におけるVRAM15~17及びVRAM書き込み制御回路20の具体的な構成の一例を示すブロック図である。この図において、同期分離回路19以外は図1のR、G、又はBの一系統のみを示している。したがって、VRAM35~37がVRAM15又は17である場合には、VRAM35~37のそれぞれに必要な容量は1/3フィールドであり、VRAM35~37がVRAM16である場合には、VRAM35~37のそれぞれに必要な容量は4/9フィールドである。

【0026】図3の回路は、2サンプリングクロック(CK)の遅延回路31と、1サンプリングクロック(CK)の遅延回路32と、入力サンプルLDI3とこれら2個の遅延回路31、32の出力サンプルLDI1、LDI2とをパラレルに取り込むラッチ回路33と、ラッチ回路33のパラレル出力LDO1、LDO2、LDO3を1サンプリングクロック(CK)遅延させる遅延回路34と、VRAM35~37を備えている。これは図1における一つのVRAMに相当する。

【0027】図3の回路は、さらに、同期分離回路19から出力された垂直同期信号(VD)と水平同期信号(HD)とサンプリングクロック(CK)とを用いて、ラッチ回路33へのデータ取り込みを可能にするイネーブル信号(XEN)、及びその反転出力である書き込みクロック(WMCK)を生成する書き込みクロック発

生回路38と、水平同期信号(HD)及び垂直同期信号(VD)を用いてVRAM35~37における水平方向の書き込みアドレスをリセットする信号(WMHD)及び垂直方向の書き込みアドレスをリセットする信号(WMVD)を生成するクロック乗り換え回路39とを備えている。これは図1におけるVRAM書き込み制御回路20に相当する。

【0028】書き込みクロック発生回路38の具体的構成の一例を図4に示す。この回路は2ビットカウンタ41と、ANDゲート42と、ANDゲート43と、エキスクループOR(以下EX-OR)ゲート44と、インバータ45とから構成されている。

【0029】2ビットカウンタ41にはANDゲート42の出力が反転されて入力される。ANDゲート42にはANDゲート43の出力と水平同期信号(HD)が反転されて入力される。ANDゲート43には2ビットカウンタ41の下位ビットQAが反転されて入力され、上位ビットQBがそのまま入力される。

【0030】ANDゲート43は2ビットカウンタ41のカウント値が2の時にハイレベルの信号を出力する。また、EX-ORゲート44はカウント値が1及び2の時にハイレベルの信号を出力する。EX-ORゲート44がXENとなり、インバータ45の出力がWMCKとなる。したがって、WMCKはCKを1/3に分周したものであるが、本実施の形態ではCKが1ライン当り910個のデータをサンプリングする周波数であるため、910は3で割り切れない。そこで、1ラインに1回、水平ブランキング期間において水平同期信号(HD)がハイレベルの時に2ビットカウンタ41をリセットし、XEN及びWMCKのデューティを変化させている。

【0031】図5は図3の回路の動作を示すタイミングチャートである。以下この図を参照しながら図3の回路の動作を説明する。

【0032】A/Dコンバータから出力されたR又はG又はBのサンプルLD13は、2サンプリングクロック(CK)遅延回路31及び1サンプリングクロック(CK)遅延回路32へ入力される。2サンプリングクロック(CK)遅延回路31の出力LD11及び1クロック遅延回路32の出力LD12は、XENがローレベルの時に、A/Dコンバータから出力されたサンプルLD13と共にパラレルにラッチ33へ取り込まれる。そして、WMCKのタイミングで1クロック遅延回路34にパラレルに取り込まれる。1クロック遅延回路34に取り込まれたLD01~LD03は、次のWMCKによりVRAM35~37にパラレルに取り込まれる。

【0033】このとき、水平同期信号(HD)によりリセットされるタイミングにおいて、書き込みデータが欠落し、データが不連続になる。図5では90.9番目のデータが欠落している。しかし、この欠落したデータは水平ブランキング期間のものなので、表示される画像には

影響はない。図6はHDによるリセットタイミングがCK1個分後ろにずれ、0番目のデータが欠落している様子を示す。このように、データの欠落があっても、それが水平ブランキング期間になるようにXEN及びWMCKのデューティを変化させ、1ラインの有効走査部分においてはデータが連続するように制御することにより、表示される画像に欠落が現れないようにしている。

【0034】図7は図1におけるVRAM15~17、VRAM読み出し制御回路21、並びに×3SYNC及び表示制御信号発生回路22の一部の具体的構成の一例を示すブロック図である。ここで、VRAMは図3のVRAMにおける読み出しに関する部分なので同一の番号を付した。

【0035】図7の回路は、VRAM35の出力又はVRAM36の出力を選択する第1のセクタ56と、第1のセクタ56の出力又はVRAM37の出力を選択する第2のセクタ57を備えている。これらは図1のVRAM15又は16又は17に相当する。

【0036】図7の回路は、また、垂直同期信号(VD)を3倍の周波数に倍して垂直同期信号(TVD)を作成する倍回路51と、水平同期信号(HD)を3倍の周波数に倍して水平同期信号(THD)を作成する倍回路52と、この水平同期信号(THD)を910倍の周波数に倍してクロック(TCK)を作成する倍回路53とを備えている。これらの倍回路は図1の×3SYNC及び表示制御信号発生回路22の一部である。

【0037】図7の回路は、さらに、垂直同期信号(TVD)と水平同期信号(THD)とクロック(TCK)とを用いて、VRAM35~37のデータ読み出しクロック(RMCK)と、第1のセクタ56及び第2のセクタ57を制御する制御信号(SEL1、SEL2)を生成する読み出しクロック発生回路54と、水平同期信号(THD)及び垂直同期信号(TVD)を用いてVRAM35~37における水平方向の読み出しアドレスをリセットする信号(RMHD)及び垂直方向の読み出しアドレスをリセットする信号(RMVD)を生成するクロック乗り換え回路55とを備えている。これは図1におけるVRAM読み出し制御回路21に相当する。

【0038】読み出しクロック発生回路54の具体的構成の一例を図8に示す。この回路は図4と同様、2ビットカウンタ61と、ANDゲート62と、ANDゲート63と、ANDゲート64とから構成されている。

【0039】2ビットカウンタ61にはANDゲート62の出力が反転されて入力される。ANDゲート62にはANDゲート63の出力と水平同期信号(THD)が反転されて入力される。ANDゲート63には2ビットカウンタ61の下位ビットQAが反転されて入力され、上位ビットQBがそのまま入力される。

【0040】この読み出しクロック発生回路において

も、1ラインに1回、水平ブランキング期間において水平同期信号（THD）がハイレベルの時に2ビットカウンタ61をリセットし、SEL1、SEL2、及びRMCKのデューティを変化させている。

【0041】図9は図7の回路の動作を示すタイミングチャートである。なお、この図は図5に示したタイミングで書き込まれたデータの読み出しに関するものである。以下この図を参照しながら図7の回路の動作を説明する。

【0042】VRAM35～37に格納されているデータは、RMCKの立ち上がりのタイミングでパラレルに出力される。VRAM35の出力であるRD1は第1のセクタ56へ送られ、読み出しクロック発生回路54の出力であるSEL1がローレベルの時に選択される。また、VRAM36の出力であるRD2は第1のセクタ56へ入力され、読み出しクロック発生回路54の出力であるSEL1がハイレベルの時に選択される。

【0043】第1のセクタ56の出力は第2のセクタ57へ入力され、読み出しクロック発生回路54の出力であるSEL2がローレベルの時に選択される。また、VRAM37の出力であるRD3は第2のセクタ57へ入力され、読み出しクロック発生回路54の出力であるSEL2がハイレベルの時に選択される。この結果、第2のセクタ57から出力されるデータは、図9にDAinと記載したものとなる。

【0044】このとき、水平同期信号（THD）によりリセットされるタイミングにおいて第2のセクタ57の出力データが不連続になる。図9においては、本来906、907、908、909番目のデータとなるべき位置に903、906、907、908番目のデータを出力されている。しかし、この部分は水平ブランキング期間であるため、表示される画像には影響はない。図10は図6に示したタイミングで書き込まれたデータを、図9と同様なタイミングで読み出しを行った場合のタイミングチャートである。この場合、図9とは位置がずれて4個のデータがNGとなってしまう。このように、リセットタイミングの相違によって第2のセクタ57から出力されるデータの配列が変わる。しかし、それが水平ブランキング期間になるようにリセットタイミングを設定し、1ラインの有効走査部分においてはデータが連続するように制御することにより、表示される画像に欠落や不連続が現れないようにしている。

【0045】以上水平方向の書き込み／読み出しについて説明した。次に図11を参照しながら垂直方向の書き込み／読み出しについて説明する。ここで、(a)は書き込み時のタイミングチャートであり、(b)は読み出し時のタイミングチャートである。

【0046】図11(a)におけるWMHDとWMVDは図3のクロック乗り換え回路39により生成され、VRAM35～37へ入力される。同様に、XWEもクロ

ック乗り換え回路39により生成され、VRAM35～37へ入力される。そして、WMHDはVRAM35～37の水平方向の書き込みアドレスをリセットする（図5、図6）。また、WMVDはVRAM35～37の垂直方向の書き込みアドレスをリセットする。そして、XWEは画像の有効ラインである240ラインをVRAM35～37に書き込むように制御する。

【0047】読み出し側も同様で、図11(b)におけるRMHDとRMVDは図7のクロック乗り換え回路55により生成され、VRAM35～37へ入力される。また、XOEもクロック乗り換え回路55により生成され、VRAM35～37へ入力される。そして、RMHDはVRAM35～37の水平方向の読み出しアドレスをリセットする（図9、図10）。さらに、RMVDはVRAM35～37の垂直方向の読み出しアドレスをリセットする。また、XOEは画像の有効ラインである240ラインをVRAM35～37から読み出すように制御する。

【0048】

【発明の効果】以上詳細に説明したように、本発明によれば、映像信号を時間圧縮するための記憶手段に対して高速の書き込み／読み出しを行うことができる。また、1ライン当りの映像信号のサンプル数が部分記憶手段の個数で割り切れない場合であっても、記憶手段の容量を最適化することができるので、コストを低減できる。

【図面の簡単な説明】

【図1】本発明を適用した映像信号時間圧縮装置の構成を示すブロック図である。

【図2】図1におけるVRAMのメモリ制御動作を示す図である。

【図3】図1におけるVRAM及びVRAM書き込み制御回路の具体的構成の一例を示すブロック図である。

【図4】図3における書き込みクロック発生回路の具体的構成の一例を示す回路図である。

【図5】図3の回路の動作を示すタイミングチャートである。

【図6】リセットタイミングが異なる場合の図3の回路の動作を示すタイミングチャートである。

【図7】図1におけるVRAM、VRAM読み出し制御回路、並びにX3SYNC及び表示制御信号発生回路の一部の具体的構成の一例を示すブロック図である。

【図8】図7における読み出しクロック発生回路の具体的構成の一例を示す回路図である。

【図9】図7の回路の動作を示すタイミングチャートである。

【図10】リセットタイミングが異なる場合の図7の回路の動作を示すタイミングチャートである。

【図11】垂直方向の書き込み／読み出し動作を示すタイミングチャートである。

【図12】従来の面順次カラー画像表示装置の構成を示

すブロック図である。

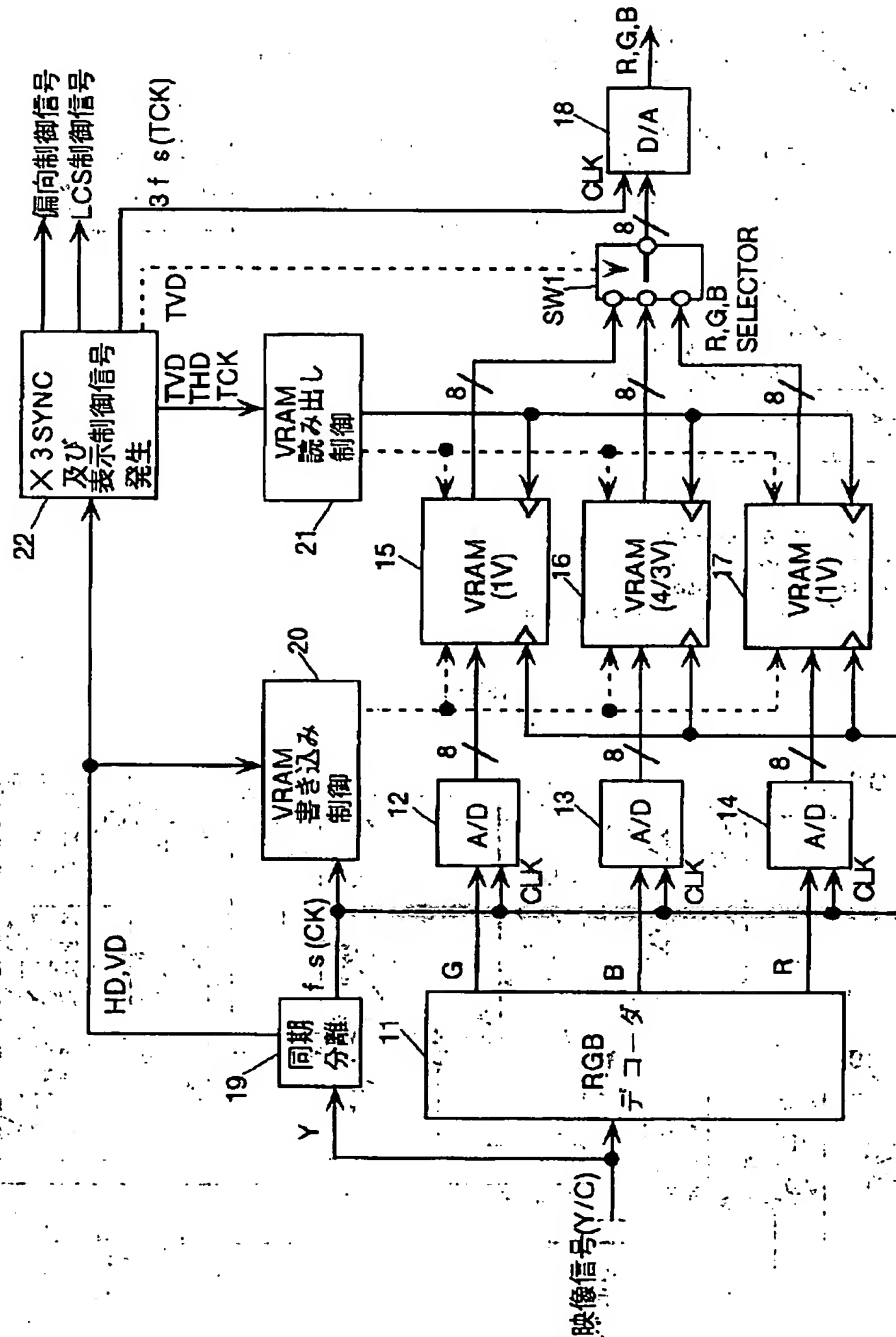
【図13】図12におけるカラー液晶シャッタの構成の一例とその動作を示す図である。

【符号の説明】

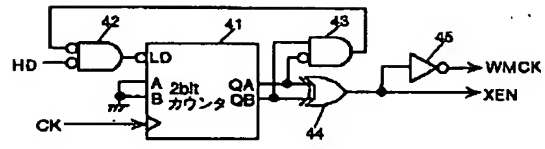
1…映像信号時間圧縮ブロック、2…白黒CRT、3…

カラー液晶シャッタ、5…液晶シャッタドライブ回路、
15~17、35~37…VRAM、20…VRAM書き込み制御回路、21…VRAM読み出し制御回路、22… $\times 3$ SYNC及び表示制御信号発生回路、

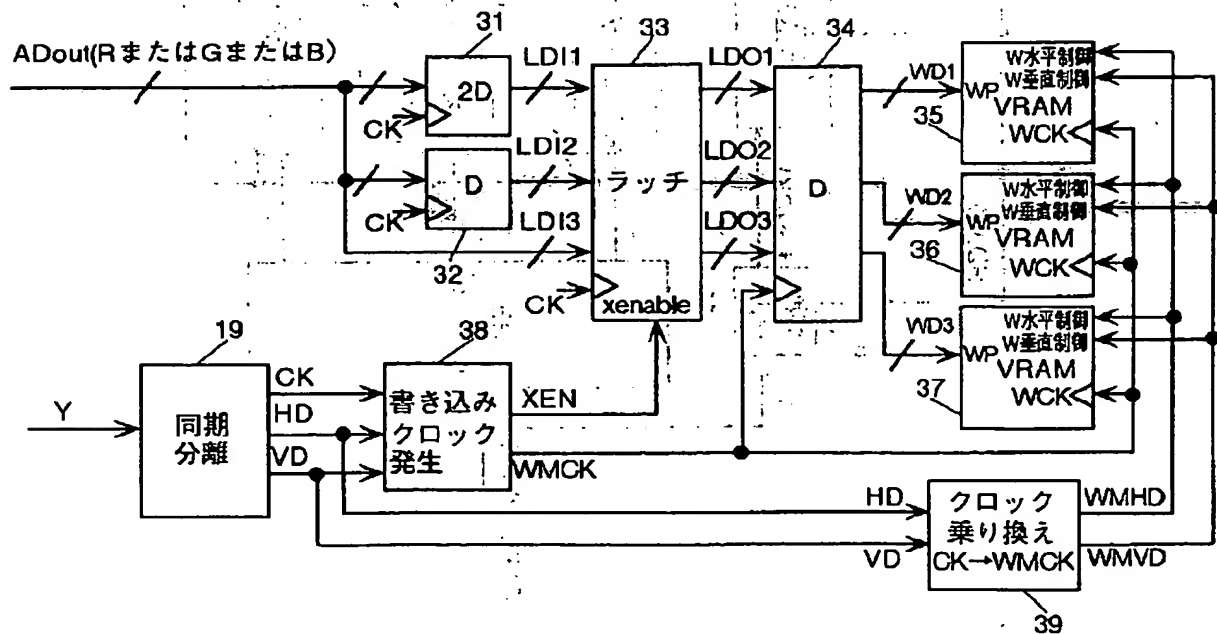
【図1】



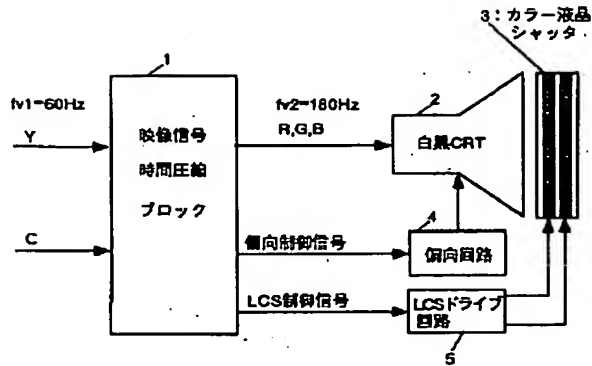
【図 4】



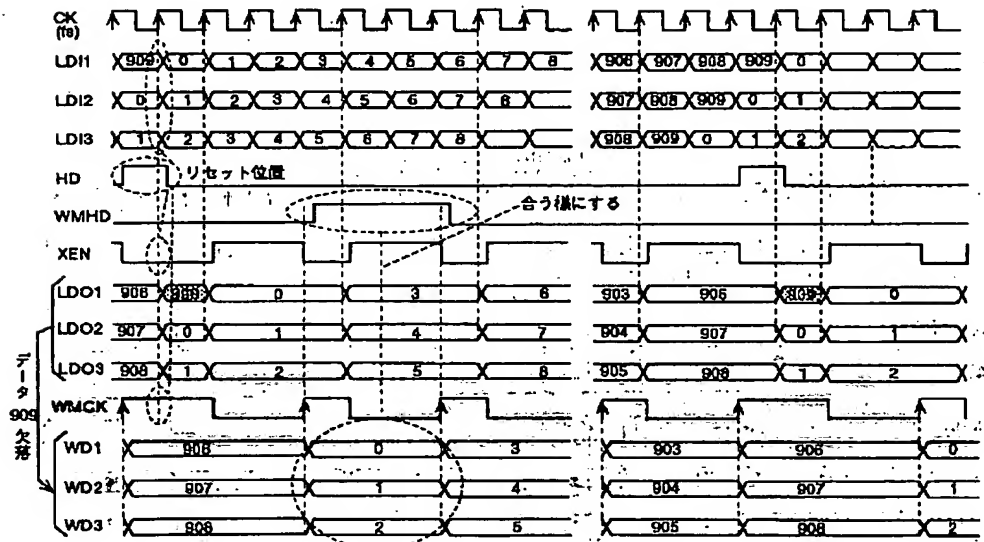
【圖 3】



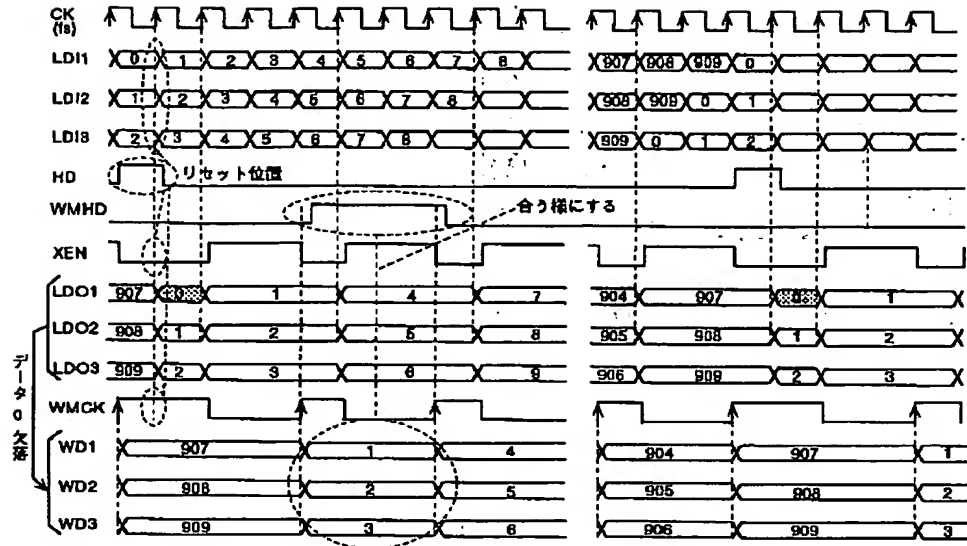
【図 12】



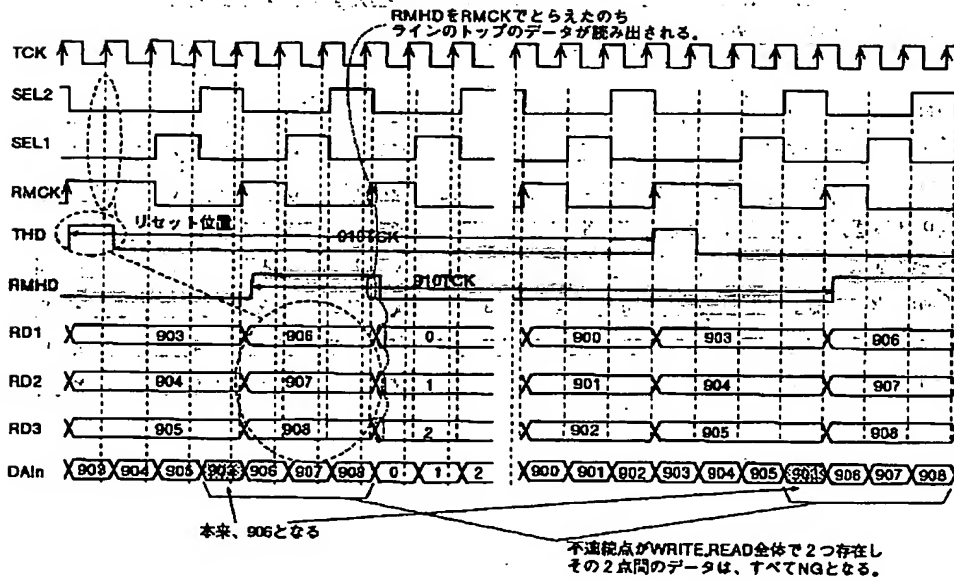
【図 5】



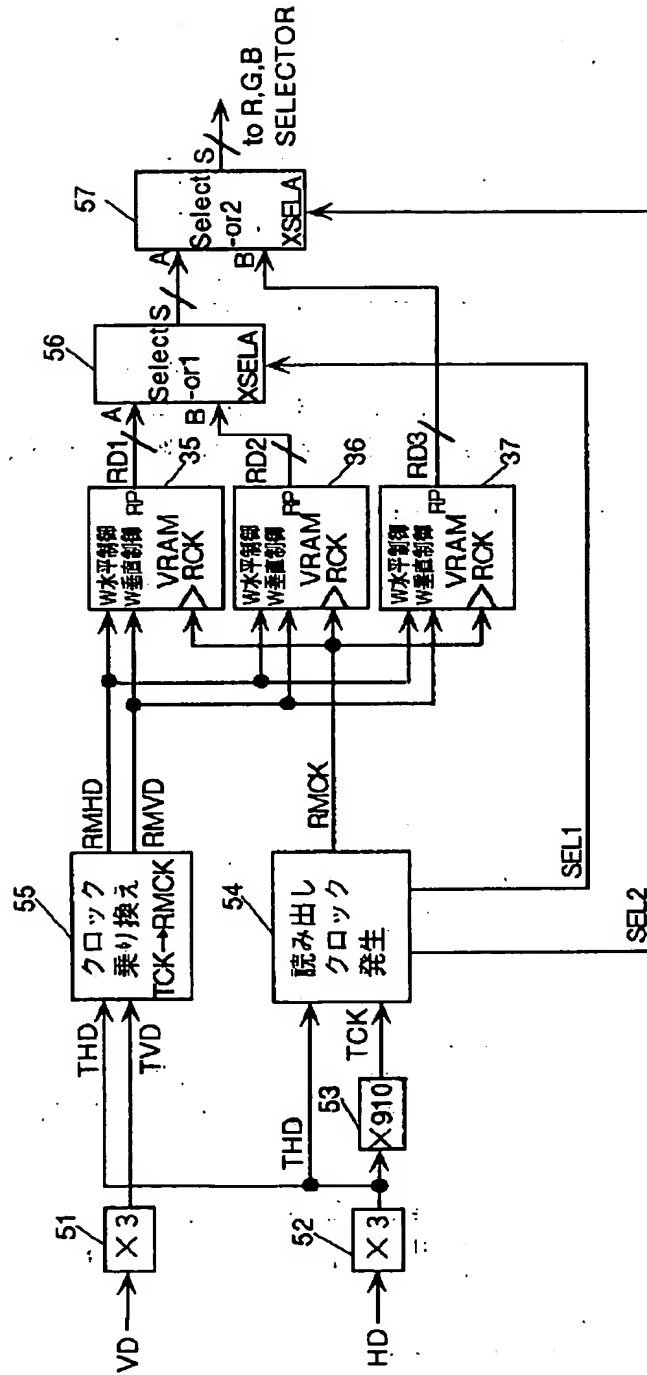
【図6】



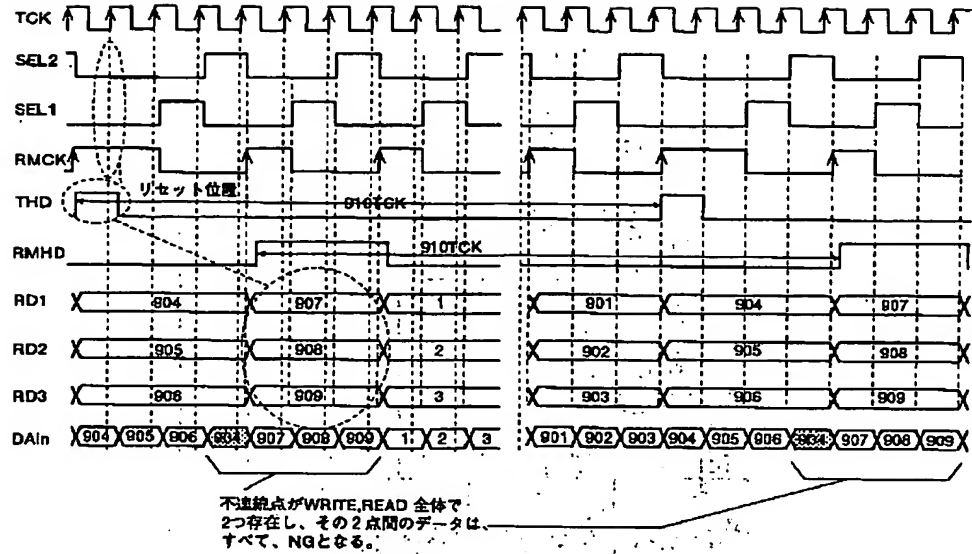
【図9】



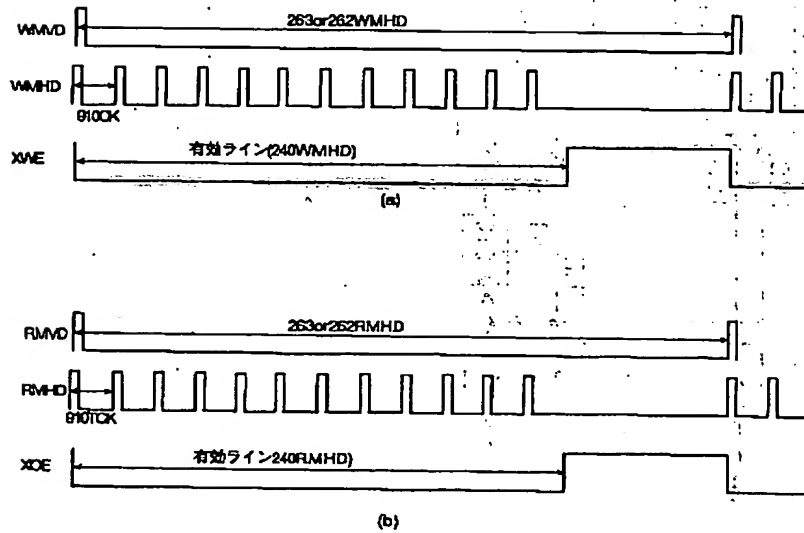
【図 7】



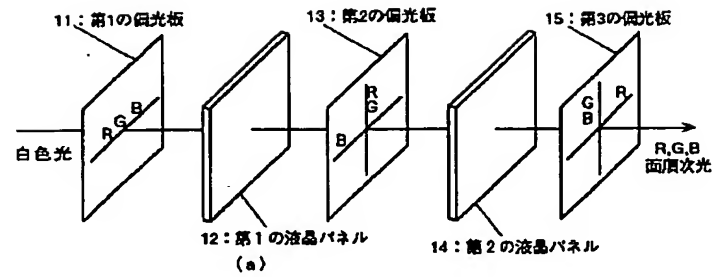
【図10】



【図11】



【図13】



| 液晶パネル 12 | 液晶パネル 14 | 表示色 |
|-------------|-------------|-----|
| オン | オフ | B |
| オフ | オン | G |
| オフ | オフ | R |

(b)